

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPIES

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07283306 A**

(43) Date of publication of application: **27 . 10 . 95**

(51) Int. Cl

H01L 21/768

(21) Application number: **06077247**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: **15 . 04 . 94**

(72) Inventor: **TAKADA YOSHIFUMI**

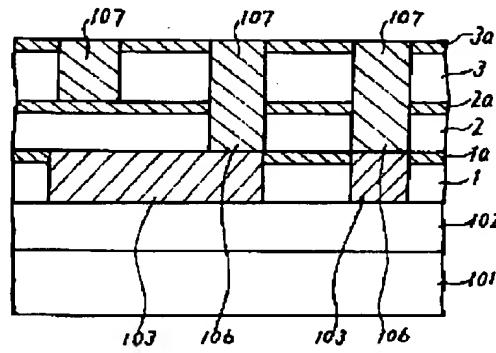
**(54) SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE**

(57) Abstract:

PURPOSE: To form a multilayer interconnection structure which can secure a sufficiently large through hole size against a fine wiring layer pattern.

CONSTITUTION: Insulating films 2, 2a, 3, and 3a are successively formed after forming a first metallic wiring layer 103 in insulating films 1 and 1a on a semiconductor substrate 101. Then a groove for second metallic wiring layer is formed in the insulating films 3 and 3a by using the insulating film 2a as an etching stopper and a through hole 106 is formed by using the groove pattern for second metallic wiring layer as a mask and the insulating film 1a as an etching stopper. After forming the hole 106, a second wiring layer is formed in the groove for second metallic wiring layer and hole 106. Therefore, a through hole having a sufficiently large size can be formed easily and stably.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-283306

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl.⁶
H 01 L 21/768

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 21/ 90

B

審査請求 未請求 請求項の数5 OL (全 11 頁)

(21) 出願番号

特願平6-77247

(22) 出願日

平成6年(1994)4月15日

(71) 出願人

000006013
三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者

高田 佳史
伊丹市瑞原4丁目1番地 三菱電機株式会社
ユ・エル・エス・アイ開発研究所内

(74) 代理人

弁理士 高田 守

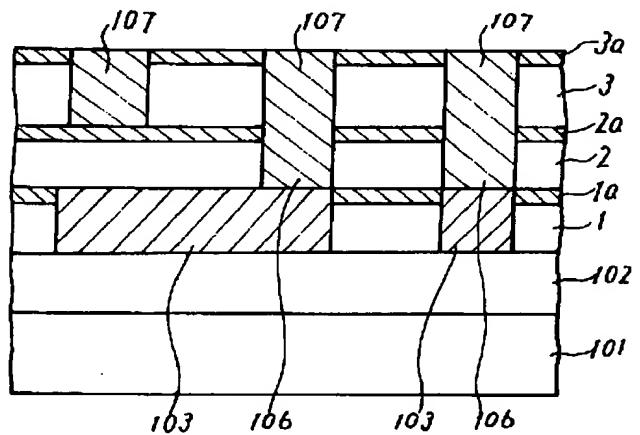
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 微細な配線層パターンに対して充分なスルーホールサイズを確保できる多層配線構造を有する半導体装置およびその製造方法を提供する。

【構成】 半導体基板101上の絶縁膜1, 1aに第1の金属配線層103を形成した後、絶縁膜2, 2a, 3, 3aを順次積層する。その後絶縁膜3, 3aに絶縁膜2aをエッティングストッパーとして第2の金属配線層用溝7を形成し、第2の金属配線層用溝7パターンをマスクとし絶縁膜1aをエッティングストッパーとしてスルーホール106を形成する。その後第2の金属配線層用溝7とスルーホール106に第2の配線層を形成する。

【効果】 充分な大きさを持つスルーホールを容易に安定して形成できる。



1, 1a, 2, 2a, 3, 3a : 絶縁膜

101 : 半導体基板

103 : 第1の金属配線層

106 : スルーホール

107 : 第2の金属配線層

【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1の絶縁膜、上記第1の絶縁膜内に形成された第1の配線層、上記第1の絶縁膜および第1の配線層上に形成された層間絶縁膜、上記層間絶縁膜上に形成された第2の絶縁膜、および上記第2の絶縁膜内に形成された第2の配線層を備え、上記層間絶縁膜内に形成したスルーホールを介して上記第1の配線層と第2の配線層とを接続する半導体装置において、

上記第1の絶縁膜は上記層間絶縁膜のエッチングに対してエッチングレートの低い材料とし、上記層間絶縁膜は上記第2の絶縁膜のエッチングに対してエッチングレートの低い材料とし、上記第2の絶縁膜は上記層間絶縁膜のエッチングに対してエッチングレートの低い材料としたことを特徴とする半導体装置。

【請求項2】 半導体基板上に形成された第1の絶縁膜、上記第1の絶縁膜上に形成された第2の絶縁膜、上記第1および第2の絶縁膜内に形成された第1の配線層、上記第1の配線層および第2の絶縁膜上に形成された第3の絶縁膜、上記第3の絶縁膜上に形成された第4の絶縁膜、上記第4の絶縁膜上に形成された第5の絶縁膜、上記第5の絶縁膜上に形成された第6の絶縁膜、上記第5および第6の絶縁膜内に形成された第2の配線層を備え、上記第3および第4の絶縁膜内に形成したスルーホールを介して上記第1の配線層と第2の配線層とを接続する半導体装置において、

上記第2の絶縁膜は上記第3の絶縁膜のエッチングに対してエッチングレートの低い材料とし、上記第4の絶縁膜は上記第5の絶縁膜のエッチングに対してエッチングレートの低い材料とし、上記第6の絶縁膜は上記第3の絶縁膜のエッチングに対してエッチングレートの低い材料としたことを特徴とする半導体装置。

【請求項3】 半導体基板上に第1の絶縁膜を形成する工程と、上記第1の絶縁膜上に第1の配線層用レジストパターンを形成する工程と、上記第1の配線層用レジストパターンをマスクとして上記第1の絶縁膜をエッチングして第1の配線層用溝を形成する工程と、上記第1の配線層および第1の絶縁膜上に層間絶縁膜を形成する工程と、上記層間絶縁膜上に第2の絶縁膜を形成する工程と、上記第2の絶縁膜上に第2の配線層用レジストパターンを形成する工程と、上記第2の配線層用レジストパターンをマスクとし上記層間絶縁膜をエッチングストップーとして上記第2の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンを形成する工程と、上記スルーホール形成用レジストパターンおよび第2の絶縁膜パターンをマスクとして上記第2の絶縁膜をエッチングしてスルーホールを形成する工程と、上記第2の配線層用溝内およびスルーホール内に第2の配線層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

内に第2の配線層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項4】 半導体基板上に第1の絶縁膜およびその上層に第2の絶縁膜を形成する工程と、上記第2の絶縁膜上に第1の配線層用レジストパターンを形成する工程と、上記第1の配線層用レジストパターンをマスクとして上記第2の絶縁膜をエッチングし続いて上記第1の絶縁膜をエッチングして第1の配線層用溝を形成する工程と、上記第1の配線層用溝内に第1の配線層を形成する工程と、第3の絶縁膜、第4の絶縁膜、第5の絶縁膜および第6の絶縁膜を順次積層して形成する工程と、上記第6の絶縁膜上に第2の配線層用レジストパターンを形成する工程と、上記第2の配線層用レジストパターンをマスクとして上記第6の絶縁膜をエッチングし続いて上記第4の絶縁膜をエッチングストップーとして上記第5の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンを形成する工程と、上記スルーホール形成用レジストパターンおよび第6の絶縁膜パターンをマスクとして上記第4の絶縁膜をエッチングし続いて上記第2の絶縁膜をエッチングストップーとして上記第3の絶縁膜をエッチングしてスルーホールを形成する工程と、上記第2の配線層用溝内およびスルーホール内に第2の配線層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板上に第1の絶縁膜およびその上層に第2の絶縁膜を形成する工程と、上記第2の絶縁膜上に第1の配線層用レジストパターンを形成する工程と、上記第1の配線層用レジストパターンをマスクとして上記第2の絶縁膜をエッチングし続いて上記第1の絶縁膜をエッチングして第1の配線層用溝を形成する工程と、上記第1の配線層用溝内に第1の配線層を形成する工程と、第3の絶縁膜、第4の絶縁膜、および第5の絶縁膜を順次積層して形成する工程と、上記第5の絶縁膜上に第2の配線層用レジストパターンを形成する工程と、上記第2の配線層用レジストパターンをマスクとして上記第4の絶縁膜をエッチングストップーとして上記第5の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンを形成する工程と、上記スルーホール形成用レジストパターンおよび上記第5の絶縁膜パターンをマスクとして上記第4の絶縁膜をエッチングし続いて上記第2の絶縁膜パターンをマスクとし上記第2の絶縁膜をエッチングストップーとして上記第3の絶縁膜をエッチングしてスルーホールを形成する工程と、上記第2の配線層用溝内およびスルーホール内に第2の配線層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】
【0001】
【産業上の利用分野】 この発明は、多層配線層の各層がスルーホールを介して接続されている半導体装置及びそ

の製造方法に関するものである。

【0002】

【従来の技術】LSIの高集積化、高機能化に伴い、素子の微細化が著しく進み金属配線層の幅も縮小され、同時に各金属配線層間の接続孔のサイズも小さくならざるを得ない。微細多層配線におけるコンタクトやスルーホール等の接続孔の形成技術は半導体装置の製品歩留りを律速する要因の一つになりつつあり、種々の改良がなされてきている。

【0003】図16は従来の多層金属配線の形成方法を示す工程断面図であり、図16(a)～(f)に従って順次説明を行う。まず、半導体基板101上に種々の素子を形成(図示なし)したのち絶縁膜102を形成する。その後絶縁膜102上にスパッタ法等で金属配線膜を形成したのち写真製版及びエッチング技術を施して第1の金属配線層103を形成する(図16(a))。次に、第1の金属配線層103上に層間絶縁膜104を全面に形成する(図16(b))。次に、層間絶縁膜104上全面にレジストを塗布した後写真製版技術によってレジストパターン105を形成し、これをマスクとして層間絶縁膜104をエッチングすることによりスルーホール106を形成する(図16(c))。次に、レジストパターン105を除去したのちスパッタ法等を用いて全面に第2の金属配線膜107を形成する(図16(d))。次に、全面にレジストを塗布したのち写真製版技術によってレジストパターン108を形成し、これをマスクとしてドライエッチングを行い第2の金属配線層107を形成する(図16(e))。その後、レジストパターン108を除去する(図16(f))。同様にして金属配線層をさらに積層してゆくことができる。

【0004】図16(a)～(c)～(e)で示すように金属配線層103、107及びスルーホール106は写真製版及びエッチング技術によって形成した場合、スルーホール106の大きさが下層となる第1の金属配線層103および上層となる第2の金属配線層107の線幅と同一かそれ以上の寸法に設計されていると写真製版技術においてパターンの重ね合わせズレがしばしば発生してしまう。

【0005】図17(a)～(f)は図16(a)～(f)の多層配線形成方法において写真製版時に重ね合わせズレが生じた場合の問題点を説明するための工程断面図である。図17(a)～(b)は図16(a)～(b)と同じものなので説明を省略する。次に、図17(c)に示すように、図16(c)と同様にして層間絶縁膜104上にレジストパターン105を形成してスルーホール106を形成する。このときレジストパターン105は第1の金属配線層103に対して重ね合わせズレを起こしておりスルーホール106形成のためにエッチングを施すと層間絶縁膜104ばかりでなくその下の絶縁膜102までエッチングされてしまう。次に、図17

10

20

30

40

50

(d)に示すように、図16(d)と同様にしてレジストパターン105を除去した後全面に第2の金属配線層107を形成するのであるが、重ね合わせズレを起こしているスルーホール106内では第2の金属配線層107は断線してしまう。次に、図17(e)に示すように、図16(e)と同様にして第2の金属配線層107上にレジストパターン108を形成する。このときレジストパターン108はスルーホール106に対して重ね合わせズレを起こしており第2の金属配線層107形成のためにエッチングを施すと第1の金属配線層103までエッチングされてしまう。その後、図17(f)に示すようにレジストパターン108を除去するのであるが、第1および第2の金属配線層103、107はスルーホール106内で断線をおこし電気的接続不良を起こしている。従って、スルーホール106のサイズは下層の第1の金属配線層103および上層の第2の金属配線層107の線幅より小さく形成する必要がある。

【0006】

【発明が解決しようとする課題】従来の金属配線層及びスルーホールの形成方法と構造は以上のようにあり、図18は図16(f)の平面図であるが、図18に示すようにスルーホール106形成用のレジストパターンサイズは第1及び第2の金属配線層103、107の幅W₁、W₂に対して写真製版工程技術における重ね合わせズレ分dを考慮して決定されなければならず、(W₁-2d) × (W₂-2d)となり、素子の微細化に伴って金属配線層の幅も縮小されており非常に微細なものとなってしまう。このためスルーホール106の形成は非常に困難なものとなり、製品歩留りの低下やスルーホール106内抵抗の増大をひきおこすといった問題点があつた。

【0007】この発明は上記のような問題点を解消するためになされたもので、金属配線層の幅が微細になってもスルーホールサイズを充分確保でき、電気的に良好なスルーホール部を有する多層金属配線層をもつ半導体装置の構造及び製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、第1の絶縁膜は層間絶縁膜のエッチングに対してエッチングレートの低い材料とし、上記層間絶縁膜は第2の絶縁膜のエッチングに対してエッチングレートの低い材料とし、上記第2の絶縁膜は上記層間絶縁膜のエッチングに対してエッチングレートの低い材料としたものである。

【0009】また、この発明の請求項2に係る半導体装置は、第2の絶縁膜は第3の絶縁膜のエッチングに対してエッチングレートの低い材料とし、第4の絶縁膜は第5の絶縁膜のエッチングに対してエッチングレートの低い材料とし、第6の絶縁膜は上記第3の絶縁膜のエッチ

ングに対してエッチングレートの低い材料としたものである。

【0010】また、この発明の請求項3に係る半導体装置の製造方法は、半導体基板上に第1の絶縁膜を形成する工程と、上記第1の絶縁膜上に第1の配線層用レジストパターンを形成する工程と、上記第1の配線層用レジストパターンをマスクとして上記第1の絶縁膜をエッチングして第1の配線層用溝を形成する工程と、上記第1の配線層用溝内に第1の配線層を形成する工程と、上記第1の配線層および第1の絶縁膜上に層間絶縁膜を形成する工程と、上記層間絶縁膜上に第2の絶縁膜を形成する工程と、上記第2の絶縁膜上に第2の配線層用レジストパターンを形成する工程と、上記第2の配線層用レジストパターンをマスクとし上記層間絶縁膜をエッチングストッパーとして上記第2の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンを形成する工程と、上記スルーホール形成用レジストパターンおよび第2の絶縁膜パターンをマスクとし上記第1の絶縁膜をエッチングストッパーとして上記層間絶縁膜をエッチングしてスルーホールを形成する工程と、上記第2の配線層用溝内およびスルーホール内に第2の配線層を形成する工程とを備えたものである。

【0011】また、この発明の請求項4に係る半導体装置の製造方法は、半導体基板上に第1の絶縁膜およびその上層に第2の絶縁膜を形成する工程と、上記第2の絶縁膜上に第1の配線層用レジストパターンを形成する工程と、上記第1の配線層用レジストパターンをマスクとして上記第2の絶縁膜をエッチングし続いて上記第1の絶縁膜をエッチングして第1の配線層用溝を形成する工程と、上記第1の配線層用溝内に第1の配線層を形成する工程と、第3の絶縁膜、第4の絶縁膜、第5の絶縁膜および第6の絶縁膜を順次積層して形成する工程と、上記第6の絶縁膜上に第2の配線層用レジストパターンを形成する工程と、上記第2の配線層用レジストパターンをマスクとして上記第6の絶縁膜をエッチングし続いて上記第4の絶縁膜をエッチングストッパーとして上記第5の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンを形成する工程と、上記スルーホール形成用レジストパターンおよび第6の絶縁膜パターンをマスクとし上記第4の絶縁膜をエッチングし続いて上記第2の絶縁膜をエッチングストッパーとして上記第3の絶縁膜をエッチングしてスルーホールを形成する工程と、上記第2の配線層用溝内およびスルーホール内に第2の配線層を形成する工程とを備えたものである。

【0012】また、この発明の請求項5に係る半導体装置の製造方法は、半導体基板上に第1の絶縁膜およびその上層に第2の絶縁膜を形成する工程と、上記第2の絶縁膜上に第1の配線層用レジストパターンを形成する工

10

20

30

40

50

程と、上記第1の配線層用レジストパターンをマスクとして上記第2の絶縁膜をエッチングし続いて上記第1の絶縁膜をエッチングして第1の配線層用溝を形成する工程と、上記第1の配線層用溝内に第1の配線層を形成する工程と、第3の絶縁膜、第4の絶縁膜、および第5の絶縁膜を順次積層して形成する工程と、上記第5の絶縁膜上に第2の配線層用レジストパターンを形成する工程と、上記第2の配線層用レジストパターンをマスクとして上記第4の絶縁膜をエッチングストッパーとして上記第5の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンを形成する工程と、上記スルーホール形成用レジストパターンおよび上記第5の絶縁膜パターンをマスクとして上記第4の絶縁膜をエッチングし続いて上記第4の絶縁膜パターンをマスクとし上記第2の絶縁膜をエッチングストッパーとして上記第3の絶縁膜をエッチングしてスルーホールを形成する工程と、上記第2の配線層用溝内およびスルーホール内に第2の配線層を形成する工程とを備えたものである。

【0013】

【作用】この発明における半導体装置は、第1の絶縁膜を層間絶縁膜のエッチングに対してエッチングレートの低い材料とし、上記層間絶縁膜を第2の絶縁膜のエッチングに対してエッチングレートの低い材料とし、上記第2の絶縁膜を上記層間絶縁膜のエッチングに対してエッチングレートの低い材料としたので、微細なスルーホール形成用レジストパターンを形成する必要がなく容易にスルーホールを形成できる。

【0014】また、第2の絶縁膜は第3の絶縁膜のエッチングに対してエッチングレートの低い材料とし、第4の絶縁膜は第5の絶縁膜のエッチングに対してエッチングレートの低い材料とし、第6の絶縁膜は上記第3の絶縁膜のエッチングに対してエッチングレートの低い材料としたので、微細なスルーホール形成用レジストパターンを形成する必要がなく容易にスルーホールを形成できるとともに絶縁膜材料の選択の幅も広がり容易に絶縁膜の材料を選択でき、実用性の高いものとすることができる。

【0015】また、この発明の半導体装置の製造方法は、第2の配線層用レジストパターンをマスクとし層間絶縁膜をエッチングストッパーとして第2の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンおよび第2の絶縁膜パターンをマスクとし第1の絶縁膜をエッチングストッパーとして上記層間絶縁膜をエッチングしてスルーホールを形成する工程とを備えるようにしたので、微細なスルーホール形成用レジストパターンを形成する必要がなく充分なサイズを有するスルーホールを容易に形成することができる。

【0016】また、第2の配線層用レジストパターンを

マスクとして第6の絶縁膜をエッチングし続いて第4の絶縁膜をエッチングストッパーとして第5の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンおよび第6の絶縁膜パターンをマスクとして上記第4の絶縁膜をエッチングし続いて第2の絶縁膜をエッチングストッパーとし第3の絶縁膜をエッチングしてスルーホールを形成する工程とを備えるようにしたので、微細なスルーホール形成用レジストパターンを形成する必要がなく、各絶縁膜材料についても選択の幅が広がり、充分なサイズを有するスルーホールを容易に形成することができる。

【0017】また、第2の配線層用レジストパターンをマスクとし第4の絶縁膜をエッチングストッパーとして第5の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンおよび上記第5の絶縁膜パターンをマスクとして上記第4の絶縁膜をエッチングし続いて上記第4の絶縁膜パターンをマスクとし第2の絶縁膜をエッチングストッパーとして第3の絶縁膜をエッチングしてスルーホールを形成する工程とを備えるようにしたので、微細なスルーホール形成用レジストパターンを形成する必要がなく充分なサイズを有するスルーホールを容易に形成することができるとともに、第5の絶縁膜をマスクとしてスルーホールを形成することができ製造工程をより簡単なものとできる。

【0018】

【実施例】以下、この発明の実施例を図を用いて説明する。

実施例1. 図1はこの発明の多層金属配線層を有する半導体装置の断面図である。図において101は半導体基板、102は絶縁膜、103は第1の金属配線層、106はスルーホール、107は第2の金属配線層でありこれらは従来と同様なので詳細な説明は省略する。また図2～図7は図1に示す半導体装置の製造方法を示す工程断面図であり、図にしたがって順次説明を行う。

【0019】まず、図2を参照して、従来と同様にして半導体基板101上に絶縁膜102を形成する。その後、全面に絶縁膜1を形成する。この絶縁膜1はSiH系ガスやTEOS系ガスを用いるCVD法によるSiO₂膜を用いているが、SOG膜や有機系塗布材料（有機系SOG膜、PPSQ膜、PMSQ膜など）、またはこれらの複数膜から形成される場合もある。続いて絶縁膜1上に絶縁膜1aを形成する。このとき、絶縁膜1aは後述する絶縁膜2のエッチング時において絶縁膜2とはエッチングレートが異なり絶縁膜2に比べてエッチングレートの低い膜を用いる。ここではSi₃N₄膜を用いている。その後、全面にレジスト塗布、写真製版処理を行いレジストパターン4を形成し、これをマスクとして絶縁膜1a、1を順にエッチングし第1の金属配線層103用の溝5を形成する。

【0020】図3を参照して、レジストパターン4を除去した後全面にCVD法により金属膜を形成する。その後、絶縁膜1aが露出するまで全面にエッチングを行い溝5内に金属膜を埋め込んで第1の金属配線層103を形成する。このとき第1の金属配線層103はAl、AlSi、AlSiCu、AlCu、AlCuTi、AlSiTi等のAl合金もしくはTi、TiN、W、WSi、TiW、Ag、Cu、Auなどの金属膜もしくはこれらの複数層よりなる積層膜を用いる。

【0021】図4を参照して、全面に絶縁膜2、2aの2層からなる層間絶縁膜、絶縁膜3、絶縁膜3aを順次積層して形成する。絶縁膜2、3は絶縁膜1と同様にSiO₂膜や無機あるいは有機系塗布材料により形成されるSOG膜もしくはこれらの複数層よりなる積層膜であり、絶縁膜2a、3aは絶縁膜1aと同様にしてSi、N_x膜やポリイミド膜、電気的絶縁性のある金属酸化膜（例えば、Al₂O₃、WO₃、TiO）を用いている。

このとき、絶縁膜2aは絶縁膜3のエッチング時において絶縁膜2aのエッチングレートが絶縁膜3のエッチングレートよりも低い膜で形成されており、絶縁膜3aは絶縁膜2のエッチング時において絶縁膜3aのエッチングレートが絶縁膜2のエッチングレートよりも低い膜で形成されている。また、絶縁膜2にはスルーホール106、絶縁膜3には第2の金属配線層107を形成することからスルーホール106の深さは絶縁膜2の膜厚で決まり、絶縁膜3の膜厚は第2の金属配線層107の膜厚を有しなければならない。これらのことから絶縁膜2は0.3～2μm、絶縁膜1、3は0.3～3μmに形成されている。また、絶縁膜1a、2a、3aは0.1μm以下に形成されている。本実施例は第1および第2の金属配線層103、107の膜厚やスルーホール106の深さを達成するための絶縁膜1、2、3と、エッチング時のマスクおよびストッパーとしての機能をもつ絶縁膜1a、2a、3aとで構成したので、絶縁膜材料の選択の幅が広がり他の影響についても回避でき、非常に实用性の高いものとなる。

【0022】図5を参照して、絶縁膜3a上の全面に写真製版技術を用いてレジストパターン6を形成し、このレジストパターン6をマスクとして絶縁膜3a更に絶縁膜3をエッチングし第2の金属配線層用の溝7を形成する。このとき絶縁膜3のエッチングは絶縁膜2aによって停止する。すなわち、絶縁膜3をエッチングする際、絶縁膜2aは絶縁膜3よりもエッチングレートが低いので、エッチングストッパーとして作用する。

【0023】図6を参照して、レジストパターン6を除去した後、再度レジストを塗布しレジストパターン8を形成する。このレジストパターン8をマスクとして絶縁膜2aをエッチングし、さらに絶縁膜2をエッチングして第1の金属配線層103を露出させてスルーホール106を形成する。この絶縁膜2をエッチングする際、絶

縁膜3aは絶縁膜2よりもエッティングレートが低いので、マスクとして機能し、スルーホール106サイズはすでに形成されている第2の金属配線層用の溝7の幅で決定されることになる。また、絶縁膜1aは絶縁膜2よりもエッティングレートが低いので、エッティングストップーとして機能し、スルーホール内で断線が起こることもない。ただし、絶縁膜3aと絶縁膜2aとが同一材料で形成されているときは、絶縁膜2aのエッティングの際に絶縁膜3aが消失しないように絶縁膜3aは絶縁膜2aの膜厚よりも厚く形成しておく必要がある。

【0024】この様にすれば、スルーホール106形成のためのレジストパターン8は溝7のサイズより大きめのいわゆるバカ穴で良く、第2の金属配線層107の幅以下の寸法を有するような微細なレジストパターンを形成する必要がない。また、溝7が第1の金属配線層103に対してズレて形成されたとしても、絶縁膜1aは絶縁膜2よりもエッティングレートが低く、絶縁膜2のエッティングは絶縁膜1aで停止するので下層の絶縁膜1（従がって無論絶縁膜102も）をエッティングしてしまうこともない。したがって、スルーホール106はレジストパターン8のサイズにかかわらず自己整合的に形成でき、その内部において第2の金属配線層107が断線することもない。

【0025】図7を参照して、レジストパターン8を除去した後、全面に金属膜をCVD法により堆積させる。その後、図1に示すように、絶縁膜3aが露出するまで全面エッティングを行いスルーホール106および第2の金属配線層用の溝7の内部に第2の金属配線層107を形成する。

【0026】この形成方法を繰り返すことによって2層以上の金属配線層を形成する場合においても同様にして形成することができる。

【0027】図8は図6の段階における半導体装置の平面図である。図に示すようにスルーホール形成用レジストパターン8のサイズは第1および第2の金属配線層103、107の幅W₁、W₂に対する写真製版工芸技術における重ね合わせズレ分dを考慮して、(W₁+2d)×(W₂+2d)以上のサイズがあれば良い。この場合、スルーホール106は第1の金属配線層103の幅(W₁)および第2の金属配線層107の幅(W₂)で規定される矩形領域となり、そのサイズは常にW₁×W₂となる。

【0028】実施例2. 上記実施例1では図6および図8に示すようにスルーホール形成用レジストパターン8は第1および第2の金属配線層幅W₁、W₂よりも重ね合わせズレ分d大きく形成したものを見たが、図9に示すように近接する複数個のスルーホール106の形成において複数個のスルーホール106をすべて囲む大きなレジストパターン9を1つ形成してもよい。このとき図9のAA'断面図である図10に示すように、絶縁膜3

aがスルーホール106形成時のエッティングマスクとして働きそのサイズがW₁×W₂である良好なスルーホール106が形成できる。この場合、配線層パターンがより密集しスルーホールを近接して多数形成する必要がある場合において、スルーホール形成用のレジストパターンの形成がより容易となりスルーホールの形成が容易となる。

【0029】実施例3. 上記実施例1、2では絶縁膜1、1a、2、2a、3、3aの6層からなる絶縁膜を形成していたが、図11に示すように最上層の絶縁膜3aを省略して5層構造の絶縁膜としても良い。図11～図13は絶縁膜を5層としたときのスルーホール形成方法を示す工程断面図である。図に従って順次説明する。

【0030】まず、図11に示すように、実施例1の図2、図3に示す工程を経たのち図4と同様にして絶縁膜2、2a、3を順次積層して形成する。この時、最上層の絶縁膜3aは形成しない。

【0031】次ぎに、図12に示すように、図5と同様にして第2の金属配線用溝7を形成する。次ぎに、図13に示すように、図6と同様にしてスルーホール形成用のレジストパターン8を形成して、このレジストパターン8をマスクとして絶縁膜2、2aをエッティングしてスルーホール106を形成する。この時、スルーホール形成用レジストパターン8は重ね合わせズレ分dだけ大きく形成しているので、絶縁膜2aのエッティングは絶縁膜3をマスクとして行われる。ところが、実施例1において絶縁膜2のエッティング時のマスクであった絶縁膜3aが形成されていないため絶縁膜3もレジストパターン8のd分だけエッティングされ、第2の金属配線層107の幅は2d分大きく形成されてしまうことになる。ただし、絶縁膜3のエッティングは絶縁膜3よりエッティングレートの低い絶縁膜2aで停止する。従って、スルーホール106形成のために絶縁膜2をエッティングする際には絶縁膜2aがマスクとして働き、絶縁膜1aがエッティングストップーとして働くのでスルーホール106のサイズは実施例1と同様にW₁×W₂となる。図14は図13の平面図であり、図に示すように第2の金属配線層107はスルーホール106の開口部のみ配線層幅が2d分だけ太く形成されることになる。その後の工程は実施例1と同様であるので説明は省略する。

【0032】本実施例は配線層のピッチがさらに密になり、第2の金属配線層107間隔が2d以下になった場合には隣接する第2の金属配線層107が電気的にショートしてしまうという問題点はあるが、実施例1の効果に加えてさらに製造工程を簡略化できるという効果がある。

【0033】実施例4. 上記実施例1、2、3では絶縁膜を5層以上積層して行うスルーホール形成方法について示したが、図15に示すように3層構造の絶縁膜としても良い。図15(a)～(d)は絶縁膜を3層とした

時のスルーホール形成方法を示す工程断面図である。図にしたがって順次説明する。まず、図15(a)に示すように、従来と同様にして半導体基板101上に絶縁膜102を形成する。その後、全面に絶縁膜10、例えばSiO₂を形成する。この時、絶縁膜10は後述する層間絶縁膜11のエッチング時において絶縁膜10のエッチングレートが層間絶縁膜11のそれよりも低い膜で形成されていなければならない。その後、全面にレジスト塗布、写真製版処理を行いレジストパターンを形成し、これをマスクとして絶縁膜10をエッチングし第1の金属配線層103用の溝を形成する。次ぎに、レジストパターンを除去した後全面にCVD法により金属膜を形成する。その後、絶縁膜10が露出するまで全面にエッチングを行い溝内に金属膜を埋め込んで第1の金属配線層103を形成する。

【0034】次ぎに、図15(b)に示すように、全面に層間絶縁膜11、絶縁膜12を順次積層して形成する。この時、層間絶縁膜11は絶縁膜12のエッチング時においてそのエッチングレートが絶縁膜12よりも低い膜、例えばSi₃N₄で形成されていなければならない。また、絶縁膜12は層間絶縁膜11のエッチング時においてそのエッチングレートが層間絶縁膜11のそれよりも低い膜、例えばSiO₂で形成されていなければならない。さらに、層間絶縁膜11にはスルーホール106、絶縁膜12には第2の金属配線層107を形成することからスルーホール106の深さは層間絶縁膜11の膜厚で決まり、絶縁膜12の膜厚は第2の金属配線層107の膜厚を有しなければならない。

【0035】次ぎに、図15(c)に示すように、絶縁膜12上の全面に写真製版技術を用いてレジストパターン6を形成し、このレジストパターン6をマスクとして絶縁膜12をエッチングし第2の金属配線層用の溝7を形成する。このとき絶縁膜12のエッチングは層間絶縁膜11によって停止する。すなわち、絶縁膜12をエッチングする際、層間絶縁膜11は絶縁膜12よりもエッチングレートが低いので、エッチングストッパーとして作用する。

【0036】次ぎに、図15(d)に示すように、レジストパターン6を除去した後、再度レジストを塗布しレジストパターン8を形成する。このレジストパターン8をマスクとして層間絶縁膜11をエッチングして第1の金属配線層103を露出させてスルーホール106を形成する。この時、層間絶縁膜11をエッチングする際、絶縁膜12は層間絶縁膜11よりもエッチングレートが低いのでマスクとして機能し、絶縁膜10は層間絶縁膜11よりもエッチングレートが低いのでエッチングストッパーとして機能する。従って、スルーホール106サイズはすでに形成されている第2の金属配線層用の溝7の幅で決定されることになり、その内部で断線することもない。

【0037】その後、レジストパターン8を除去した後、全面に金属膜をCVD法により堆積させ、絶縁膜12が露出するまで全面エッチングを行いスルーホール106および第2の金属配線層用の溝7の内部に金属膜を埋め込んで第2の金属配線層107を形成する。本実施例は、Si₃N₄膜はSiO₂膜に比べて誘電率が高く膜容量を下げるためにはSiO₂膜に比べて厚く形成しなければならない。即ち、層間絶縁膜11は絶縁膜10、12に比べて厚く形成することになり微細パターンの加工精度は劣下してしまう。従って微細なスルーホール106を形成するためには、実施例1のように6層の絶縁膜で構成し膜厚の薄い絶縁膜をマスクおよびエッチングストッパーとしてだけ機能させるようにすれば、絶縁膜材料の選択の幅が広がり容易に絶縁膜を形成することができるので、より実現性の高いものではあるが、絶縁膜10、11、12として、上述した各エッチングレートの相互関係を満足する適当な材料を選ぶことができれば製造方法が非常に簡単になるという効果がある。

【0038】

【発明の効果】以上のようにこの発明によれば、第1の絶縁膜を層間絶縁膜のエッチングに対してエッチングレートの低い材料とし、上記層間絶縁膜を第2の絶縁膜のエッチングに対してエッチングレートの低い材料とし、上記第2の絶縁膜を上記層間絶縁膜のエッチングに対してエッチングレートの低い材料としたので、微細なスルーホール形成用レジストパターンを形成する必要がなく容易にスルーホールを形成できるとともに、スルーホールサイズが配線層の幅と同一寸法に形成できて充分なスルーホールサイズを確保でき、良好な半導体装置が得られる効果がある。

【0039】また、第2の絶縁膜は第3の絶縁膜のエッチングに対してエッチングレートの低い材料とし、第4の絶縁膜は第5の絶縁膜のエッチングに対してエッチングレートの低い材料とし、第6の絶縁膜は上記第3の絶縁膜のエッチングに対してエッチングレートの低い材料としたので、微細なスルーホール形成用レジストパターンを形成する必要がなく容易にスルーホールを形成できるとともに絶縁膜材料の選択の幅も広がり、容易に絶縁膜の材料を選択でき実用性の高いものとすることができる。さらに、スルーホールサイズが配線層の幅と同一寸法に形成されるようにしたので、充分なスルーホールサイズが確保でき、良好な半導体装置が得られる効果がある。

【0040】また、第2の配線層用レジストパターンをマスクとし層間絶縁膜をエッチングストッパーとして第2の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンおよび第2の絶縁膜パターンをマスクとし第1の絶縁膜をエッチングストッパーとして上記層間絶縁膜をエッチングしてスルーホールを形成する工程とを備えるようにしたの

で、微細なスルーホール形成用レジストパターンを形成する必要がなく充分なサイズを有するスルーホールを容易に形成することができ、良好な半導体装置を歩留まり良く製造することができる効果がある。

【0041】また、第2の配線層用レジストパターンをマスクとして第6の絶縁膜をエッチングし続いて第4の絶縁膜をエッチングストッパーとして第5の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンをマスクとして上記第4の絶縁膜をエッチングし続いて第2の絶縁膜をエッチングストッパーとして第3の絶縁膜をエッチングしてスルーホールを形成する工程とを備えるようにしたので、微細なスルーホール形成用レジストパターンを形成する必要がなく各絶縁膜の材料についても選択の幅が広がり、充分なサイズを有するスルーホールを容易に形成することができ、良好な半導体装置を歩留まり良く製造することができる効果がある。

【0042】また、第2の配線層用レジストパターンをマスクとし第4の絶縁膜をエッチングストッパーとして第5の絶縁膜をエッチングし第2の配線層用溝を形成する工程と、スルーホール形成用レジストパターンおよび上記第5の絶縁膜パターンをマスクとして上記第4の絶縁膜をエッチングし続いて上記第4の絶縁膜パターンをマスクとし第2の絶縁膜をエッチングストッパーとして第3の絶縁膜をエッチングしてスルーホールを形成する工程とを備えるようにしたので、微細なスルーホール形成用レジストパターンを形成する必要がなく、充分なサイズを有するスルーホールを容易に形成することができるとともに、第5の絶縁膜をマスクとしてスルーホールを形成することができ製造工程をより簡単なものとでき、良好な半導体装置を歩留まり良く製造することができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施例1の多層金属配線層を有する半導体装置の断面図である。

【図2】 図1の半導体装置の製造方法を示す一工程図である。

10

* 【図3】 図1の半導体装置の製造方法を示す一工程図である。

【図4】 図1の半導体装置の製造方法を示す一工程図である。

【図5】 図1の半導体装置の製造方法を示す一工程図である。

【図6】 図1の半導体装置の製造方法を示す一工程図である。

【図7】 図1の半導体装置の製造方法を示す一工程図である。

【図8】 図6の半導体装置の平面図である。

【図9】 この発明の実施例2の半導体装置を示す平面図である。

【図10】 図9の半導体装置の製造方法を示す一工程図である。

【図11】 この発明の実施例3の半導体装置の製造方法を示す一工程図である。

【図12】 この発明の実施例3の半導体装置の製造方法を示す一工程図である。

【図13】 この発明の実施例3の半導体装置の製造方法を示す一工程図である。

【図14】 図13の半導体装置の平面図である。

【図15】 この発明の実施例4の半導体装置の製造方法を示す工程図である。

【図16】 従来の半導体装置の製造方法を示す工程断面図である。

【図17】 従来の半導体装置の製造方法を示す工程断面図である。

【図18】 従来の半導体装置の平面図である。

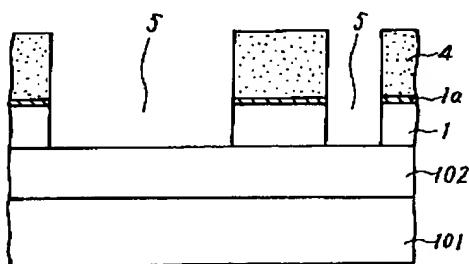
【符号の説明】

1, 1a, 2, 2a, 3, 3a, 10, 12 絶縁膜、
11 層間絶縁膜、4 第1の配線層用レジストパターン、
5 第1の配線層用溝、6 第2の配線層用レジストパターン、
7 第2の配線層用溝、8 スルーホール形成用レジストパターン、
101 半導体基板、103 第1の金属配線層、
106 スルーホール、107 第2の金属配線層。

30

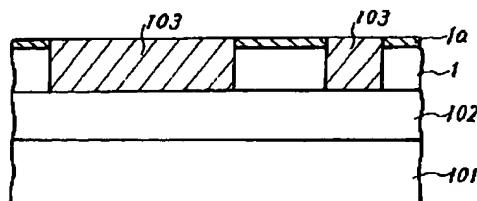
*

【図2】

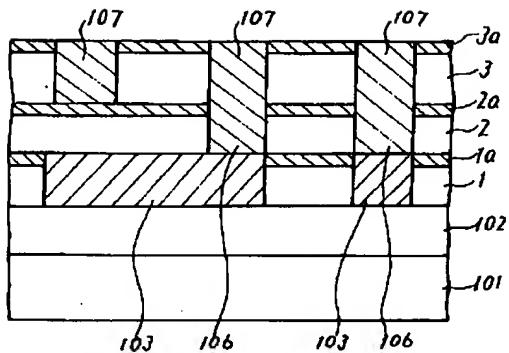


4: 第1の金属配線層用レジストパターン
5: 第1の金属配線層用溝

【図3】

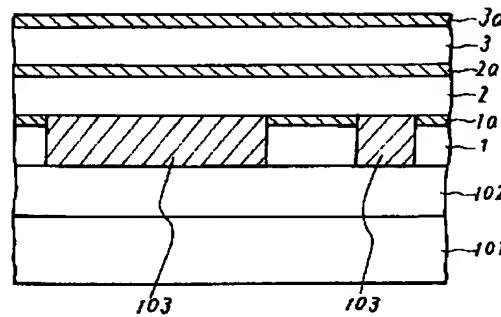


【図1】

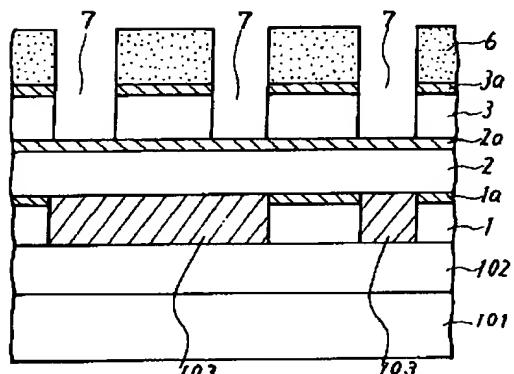


1, 1a, 2, 2a, 3, 3a : 絶縁膜
101 : 半導体基板
103 : 第1の金属配線層
106 : スリーホール
107 : 第2の金属配線層

【図4】

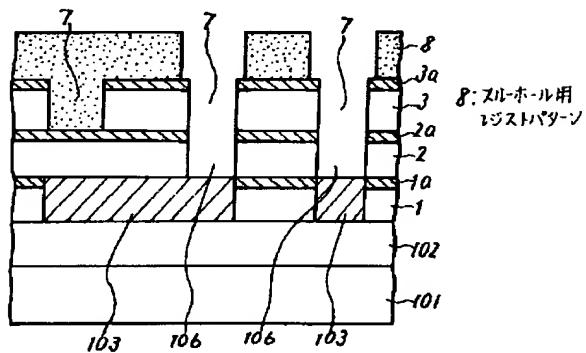


【図5】

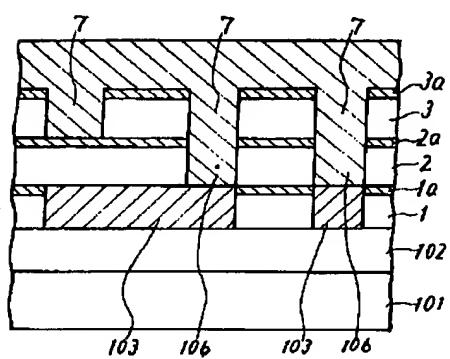


6: 第2の金属配線層用レジストパターン
7: 第2の金属配線層用溝

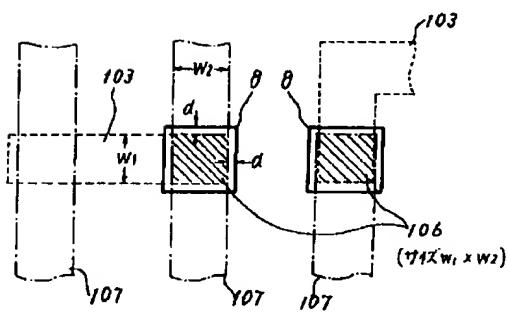
【図6】



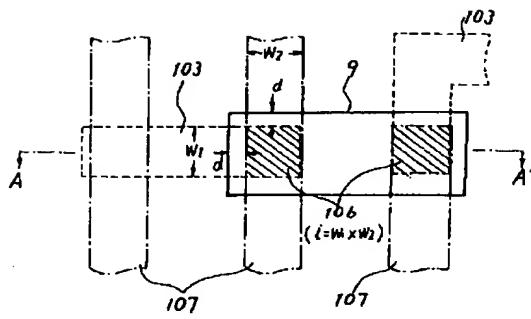
【図7】



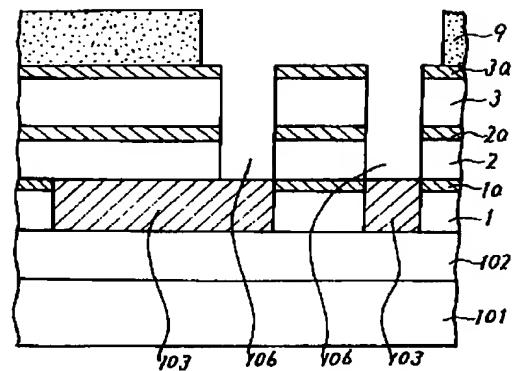
【図8】



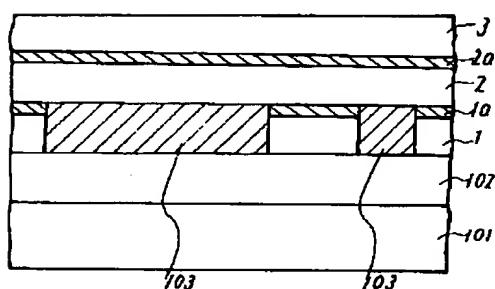
【図9】



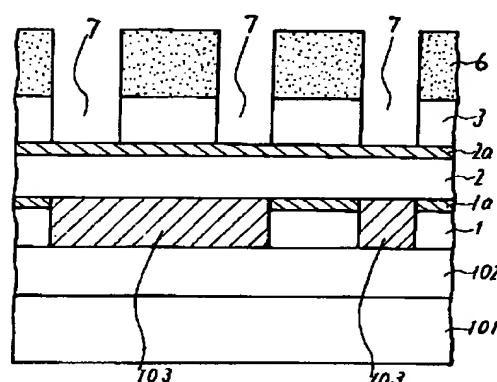
【図10】



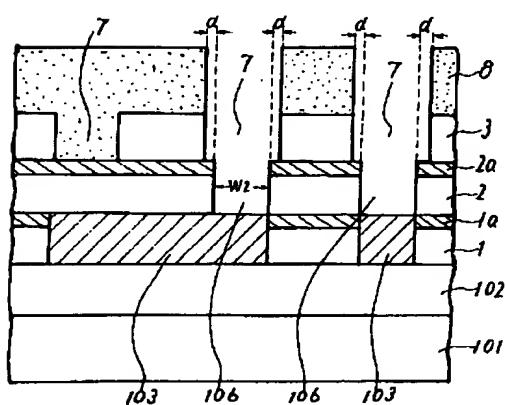
【図11】



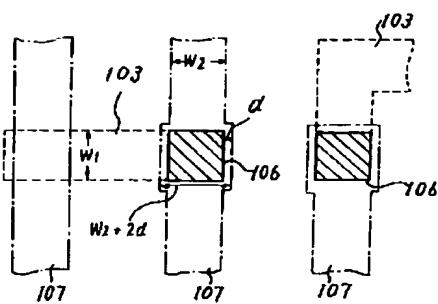
【図12】



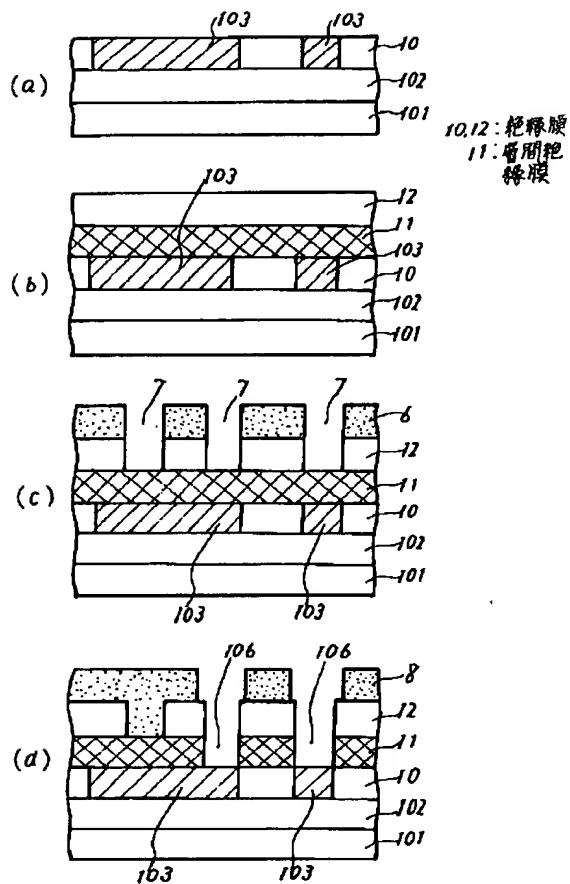
【図13】



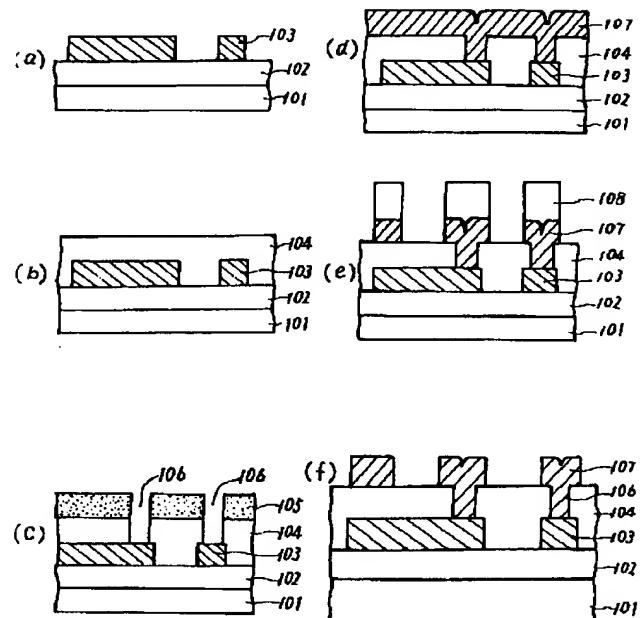
【図14】



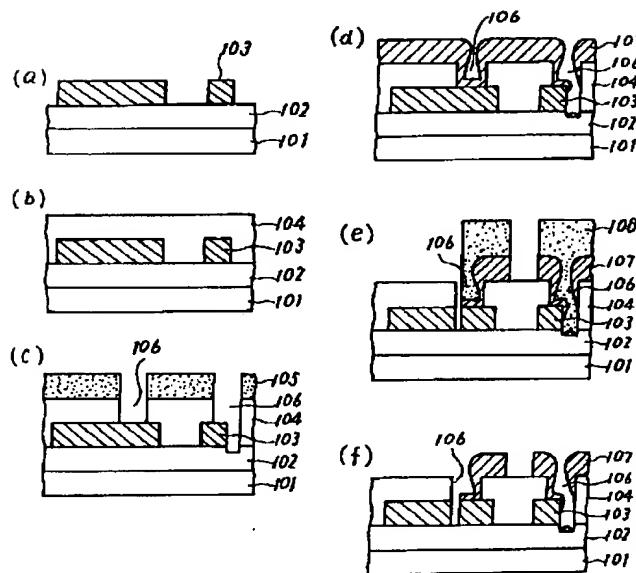
【図15】



【図16】



【図17】



【図18】

